



IH2657 Design av nanohalvledarkomponenter 7,5 hp

Design of Nano Semiconductor Devices

Fastställande

Kursplanen gäller från och med VT 2025 enligt grundutbildningsansvarigs beslut:
J-2024-1616. Beslutsdatum: 2024-10-15

Betygsskala

A, B, C, D, E, FX, F

Utbildningsnivå

Avancerad nivå

Huvudområden

Elektroteknik

Särskild behörighet

Kunskaper inom kiselbaserade halvledarkomponenter, 7,5 hp, motsvarande slutförd kurs IH1611.

Undervisningsspråk

Undervisningsspråk anges i kurstillfällesinformationen i kurs- och programkatalogen.

Lärandemål

Efter godkänd kurs ska studenten kunna

- beskriva egenskaper och begränsningar hos en MOSFET transistor i en avancerad CMOS teknologinod
- redogöra för en metodisk kretsdesign i nanometer CMOS teknologi som tar hänsyn till effektförbrukning, robusthet, designregler, variationer i komponentprestanda, m.m.
- motivera behovet av nya komponent- och kretstopologier inklusive 3D-byggsätt
- ge exempel på komponenter och material som är lämpliga för att ersätta eller komplettera kiselbaserad CMOS eller laddningsbaserade minnen exempelvis för låga matningsspänningar eller lågeffekttillämpningar
- använda fysikalisk och kompakt modellering för att designa komponenter med önskvärda egenskaper motsvarande en kommande teknologinod
- kritiskt analysera och diskutera forskningspublikationer med avseende på relevansen för teknikutveckling inom komponentområdet
- diskutera avancerad halvledartillverkning ur ett hållbarhetsperspektiv med fokus på energiåtgång och andra ändliga resurser och råvaror.

Kursinnehåll

Den här kursen handlar om den viktigaste komponenten i alla integrerade kretsar - MOSFET-transistorn som tillverkas i kisel med nanometerdimensioner. Fokus är på lågeffekt CMOS-teknologi.

Kursens huvudsakliga innehåll:

- Grundläggande fysik för MOS-systemet och formulering av approximativa ström-spänningsrelationer för MOS-transistorn. Kompakta fysikbaserade modeller för kretssimuleringar. Modellering av extremfall i tillverkningsprocessen s.k. 'process corners'.
- Skalningsteori och teknologinoder för CMOS teknologi
- Moderna CMOS komponenttopologier, SOI och FinFET, 3D-strukturer inklusive 'nanowire/sheet'
- Effektförbrukning, överhörning och skalning av ledare/kopplingar s.k. 'interconnect'
- Minnesteknologier, laddningsbaserade, resistiva eller baserade på andra fysikaliska principer
- Nya teknologier och tillämpningar som exempelvis spinntronik, 2D-material och 3D-byggsätt
- Kretsdesign för nano-meter CMOS, ASIC, FPGA, designregler, robusthet, testning, tillförlitlighet, felanalys, variabilitet på komponent-, chip- och wafernivå

Examination

- LAB1 - Datorlaborationer och hemuppgifter, 3,0 hp, betygsskala: P, F
- TENA - Skriftlig tentamen, 4,5 hp, betygsskala: A, B, C, D, E, FX, F

Examinator beslutar, baserat på rekommendation från KTH:s handläggare av stöd till studenter med funktionsnedsättning, om eventuell anpassad examination för studenter med dokumenterad, varaktig funktionsnedsättning.

Examinator får medge annan examinationsform vid omexamination av enskilda studenter.

När kurs inte längre ges har student möjlighet att examineras under ytterligare två läsår.

TEN1 ersätts av TENA.

Etiskt förhållningssätt

- Vid grupparbete har alla i gruppen ansvar för gruppens arbete.
- Vid examination ska varje student ärligt redovisa hjälp som erhållits och källor som använts.
- Vid muntlig examination ska varje student kunna redogöra för hela uppgiften och hela lösningen.