



KTH Informations- och kommunikationsteknik

# Tentamen i IE1204/5 Digital Design Måndag 27/10 2014 9.00-13.00

---

## Allmän information

Examinator: Ingo Sander.

Ansvarig lärare: Elena Dubrova /William Sandqvist, tel 08-7904487

Tentamensuppgifterna behöver inte återlämnas när du lämnar in din skrivning.

Hjälpmedel: Inga hjälpmedel är tillåtna!

Tentamen består av tre delar med sammanlagt 12 uppgifter, och totalt 30 poäng:

**Del A1 (Analys)** innehåller åtta korta uppgifter. Rätt besvarad uppgift ger för sex av uppgifterna en poäng och för två av uppgifterna två poäng. Felaktig besvarad ger 0 poäng. Det totala antalet poäng i del A1 är **10 poäng**. För **godkänt på del A1 krävs minst 6p, är det färre poäng rättar vi inte vidare.**

**Del A2 (Konstruktionsmetodik)** innehåller två metodikuppgifter om totalt **10 poäng**. För att bli **godkänd på tentamen** krävs **minst 11 poäng** från A1+A2, *är det färre poäng rättar vi inte vidare.*

**Del B (Designproblem)** innehåller två friare designuppgifter om totalt **10 poäng**.

**OBS!** I slutet av tentamenshäftet finns ett inlämningsblad för del A1, som ska avskiljas för att lämnas in tillsammans med lösningarna för del A2 och del B.

För ett godkänt betyg (E) krävs **minst 11 poäng på hela tentamen.**

**Betyg** ges enligt följande:

0 –	11 –	16 –	19 –	22 –	25
F	E	D	C	B	A

Resultatet beräknas meddelas före måndagen den 17/11 2014.

---



# Del A1: Analysuppgifter

Endast svar krävs på uppgifterna i del A1. Lämna svaren på inlämningsbladet för del A1 som du hittar på sista sidan av tentahäftet.

## 1. 1p/0p

En funktion  $f(x, y, z)$  beskrivs med hjälp av ekvationen:

$$f(x, y, z) = \overline{x}y + yz + x\overline{y}z + xyz$$

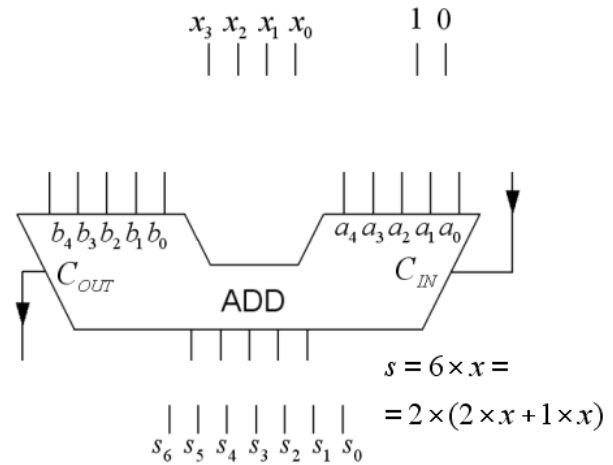
Ange funktionen på minimal summa av produkt form.

$$f(x, y, z) = \{SoP\}_{\min} = ?$$

## 2. 2p/1p/0p

Ett fyrabitars tal  $x$  ( $x_3x_2x_1x_0$ ) ska multipliceras med konstanten 6.

Detta sker genom att talet  $x$  ansluts till en fem bitars adderare som konfigurerats för att utföra operationen  $6 \cdot x = 2 \cdot (2 \cdot x + 1 \cdot x)$



a) Rita hur adderaren ska konfigureras. Förutom de fyra bitarna i talet  $x$  så finns även konstanterna med värdet 0 eller 1 tillgängliga. En kopia av figuren finns även på svarsblanketten.

b) Vilket är det största binära tal  $s$  ( $s_6s_5s_4s_3s_2s_1s_0$ ) som kan förekomma på utgången efter det att kretsen konfigurerats för operationen? Svara binärt.

## 3. 1p/0p

Ett Karnaughdiagram för en funktion av fyra variabler  $y = f(x_3, x_2, x_1, x_0)$  ges nedan.

Ange funktionens **invers** på **minimerad** summa av produkter, SoP, form.

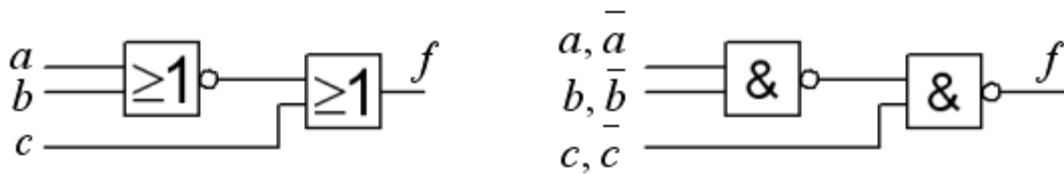
”-” i diagramet står för ”don’t care”. (Observera att vi söker funktionens invers).

		$x_1x_0$				$y =$
		00	01	11	10	
$x_3x_2$	00	0	1	3	2	0
	01	4	5	7	6	1
	11	12	13	15	14	1
	10	8	9	11	10	0

$\overline{y}_{SoP\min} = ?$

4. 2p/1p/0p

Figuren nedan visar ett grindnät bestående av en NOR-grind och en OR-grind (till vänster i figuren).

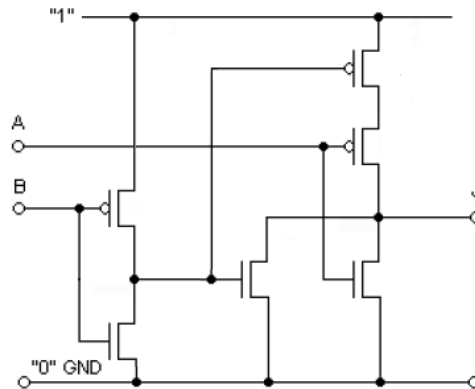


a) Ange den logiska funktion  $f = f(a,b,c)$  som realiseras av kretsen.

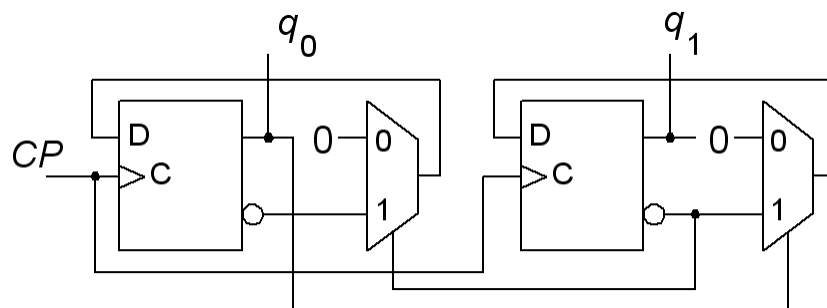
b) Samma funktion kan realiseras med ett NAND-NAND-nät (till höger i figuren). Ange för variablerna  $a$ ,  $b$  och  $c$  om dom behöver vara inverterade eller oinverterade på ingångarna till detta nät.

5. 1p/0p

Ange den logiska funktion som realiseras av CMOS kretsen i figuren nedan.



6. 1p/0p

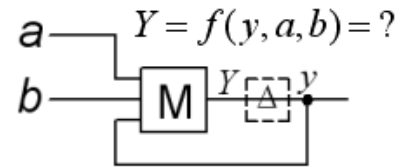


Ett sekvensnät (en räknare) som visas i figuren ovan startar i tillståndet  $q_1q_0 = 00$ . Ange räknesekvensen för de följande fyra klockpulserna.

7. 1p/0p

Figuren visar ett *asynkront* sekvensnät. Grinden märkt *M* är en så kallad majoritetsgrind – utgången får det värde en majoritet av ingångarna har. Tag fram kretsens karakteristiska funktion.

$$Y = f(y, a, b) = ?$$



8. 1p/0p

VHDL-koden beskriver en känd krets. Vilken? Välj mellan:

- a. En halvadderare.
- b. En heladderare.
- c. två EXNOR-grindar.
- d. En JK-vippa.
- e. En SR-låskrets.
- f. En  $2 \times 2$  crossbar switch.
- g. En multiplikationskrets.
- h. En divisionskrets.

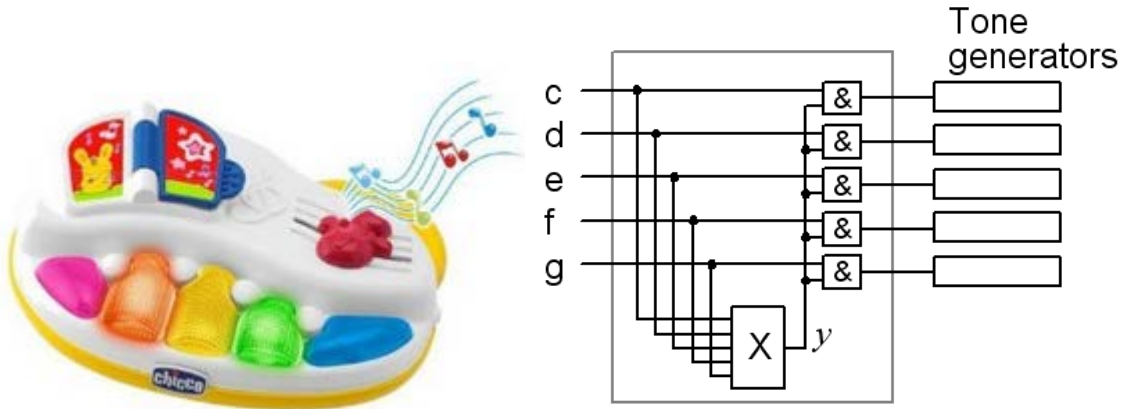
```
ENTITY gismo IS
PORT ( c, b, a : IN STD_LOGIC ;
      x, y : OUT STD_LOGIC ) ;
END gismo ;

ARCHITECTURE beh OF gismo IS
BEGIN
  x <= c XOR b XOR a ;
  y <= (a AND b) OR (c AND a) OR (c AND b) ;
END beh ;
```

## Del A2: Konstruktionsmetodik

Observera! Del A2 rättas endast om Du är godkänd på del A1

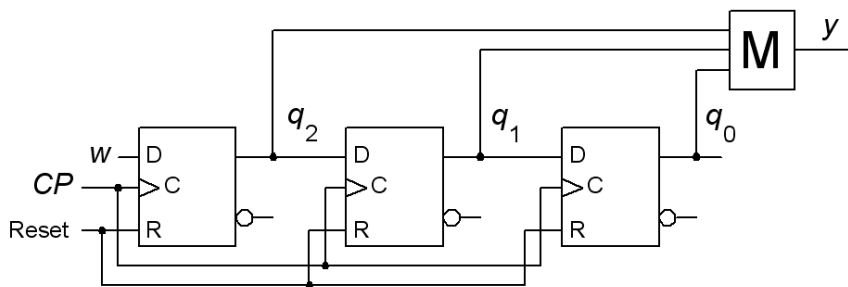
9. 4p Leksaksinstrument för små barn kan vara mycket störande. Du ska därför konstruera en "dissonans-spärr" som representeras av blocket X i figuren. Man ska kunna trycka tangenterna en i taget, men om man trycker flera tangenter samtidigt, ett ackord, så ska bara (= vackert ljudande) kombinationer av tangenterna c, e, och g höras, övriga kombinationer är tysta ( $y = 0$ ). Ljud ska bara höras om (1) exakt en av tangenterna c, d, e, f, g trycks ned. (2) någon av alla möjliga kombinationer av c, e, g trycks ned. Alla andra kombinationer ska resultera i inget ljud.



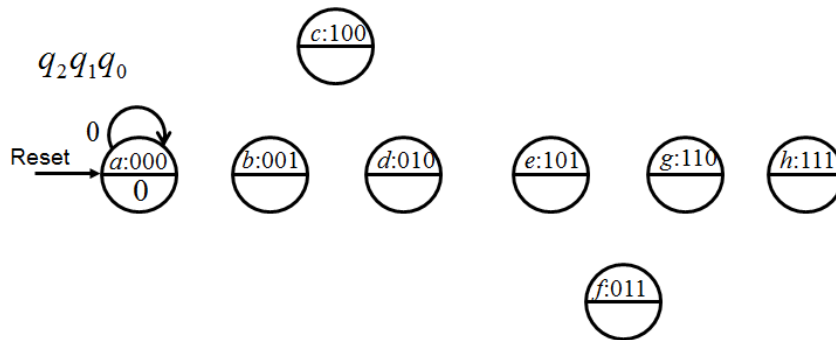
- (1p) Ställ upp sanningstabellen  $y = f(c,d,e,f,g)$  eller som Karnaughdiagram direkt. Kan Du hitta något fall då värdet av  $y$  inte har någon betydelse? Använd i så fall detta som don't care (det kommer att löna sig).
- (1p) Minimera funktionen  $y$  och uttryck den på summa av produkter (SoP) form. Använd don't care.
- (1p) Invertera den minimerade funktionen  $y$  från b) med de Morgans lag.
- (1p) Vi har bara fyra ingångars NOR-grindar. Använd enbart dessa för att realisera funktionen. (Tips! Om en av NOR-grindarna används som inverterare på kretsens utgång så får Du användning för den inverterade funktionen från c).

**Tack för att Du konstruerade detta nät – många småbarnsföräldrar kommer att tacka dig!**

10. 6p Ett synkront sekvensnät, baserat på ett skiftregister, används som en "majority voter". Det värde hos insignalen  $w$  som förekommit *de flesta gångerna* under de senaste *tre* klockpulserna presenteras på utgången  $y$ . Grindsymbolen som anges med bokstaven "M" är en så kallad majoritetsgrind, utgången tar samma värde som en *majoritet* av ingångarna.



a) (2p) Analysera skiftregistret i figuren nedan och rita **tillståndsdigram** och **tillståndstabell**. (Tag gärna hjälp av det påbörjade tillståndsdigrammet med åtta tillstånd, men rita en egen figur till svaret).



b) (3p) Man kan alternativt göra en *liknande* krets på ett annat sätt som en Moore-automat med fyra tillstånd (inte exakt samma beteende). Resonera dig fram till **tillståndsdigram** och **tillståndstabell** för ett sådant sekvensnät. Tag därefter fram uttrycken för **nästa tillstånd** och **utsignal funktionerna**.

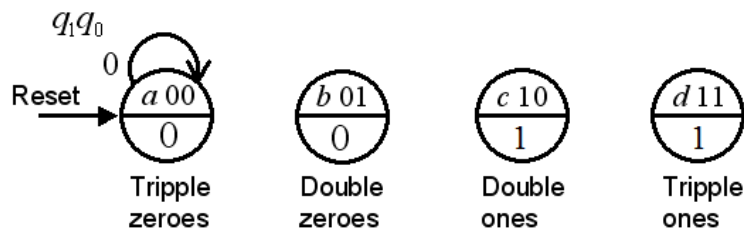
Använd tillståndskodningen  $q_1q_0$  00, 01, 10, 11.

Arbetsnamn på tillstånden kan vara

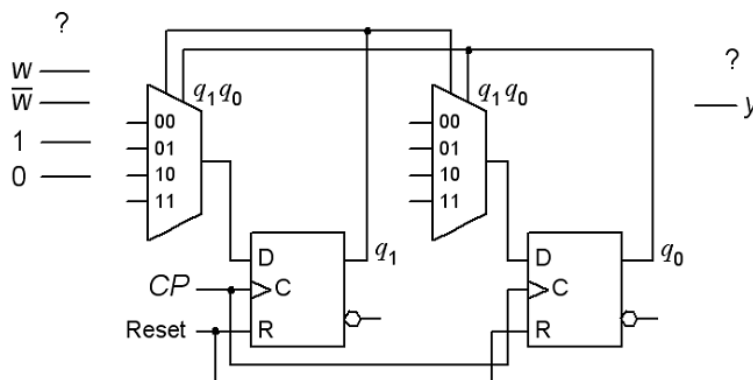
”Tripple zeroes” “Double zeroes” “Double ones” “Tripple ones”.

(Ta gärna hjälp av figuren med det påbörjade tillståndsdigrammet, men rita en egen figur till svaret).

$$q_1^+ = f(q_1, q_0, w) \quad q_0^+ = f(q_1, q_0, w) \quad y = f(q_1, q_0)$$



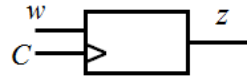
c) (1p) Realisera **nästa tillståndsavkodaren** för kretsen i b) med två stycken 4:1 multiplexorer. Utgå ifrån att signalen  $w$  finns tillgänglig i inverterad form (om så skulle behövas). Se figuren nedan, men rita en egen figur till svaret.



## Del B. Designproblem

Observera! Del B rättas endast om Du har mer än 11p på del A1+A2.

### 11. 5p Sekvensdetektor.



Du ska konstruera en synkron sekvenskrets, i form av en positivt flanktriggad Moore-automat. Insignalen  $w$  är synkroniserad med klockpulserna  $C$ . Utsignalen  $z$  ska bli 1 varje gång som värdet på insignalen  $w$  varit oförändrat under två klockpulser. Denna ändring av utsignalen ska uppträda vid den klockpuls som följer efter klockpulserna med de lika  $w$  värdena. Se ett förtydligande exempel nedan.

$w$ : 001100011011100111111000010110 ...

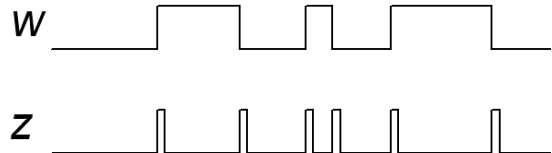
$z$ : 001010100100100101000001000001 ...

a) (3p) Ställ upp kretsens **tillståndstabell** och rita **tillståndsdiagram**.

b) (2p) Använd Binärkoden för att koda tillstånden och ställ upp den **kodade tillståndstabellen**. Tag fram de minimerade uttrycken **för nästa tillstånd** och för **utgångsvärdet**. Något grindnät behöver inte ritas.

### 12. 5p Dual edge trigger.

Konstruera ett asynkront sekvensnät som vid varje ändring ( $0 \rightarrow 1$  eller  $1 \rightarrow 0$ ) av insignalen  $w$  genererar en kort puls på utgången  $z$ . Vid oförändrad insignal är utgången  $z = 0$ . Utgångspulsens längd ges av tiden för tillståndsövergången i det asynkrona sekvensnätet. Se tidsdiagrammet för ett exempel.



Svaret ska innehålla ett **tillståndsdiagram**, vid behov minimerad, en **flödestabell**, och en lämplig **tillståndstilldelning** med en **excitations-tabell** som ger **kapplöpningsfria nät**. Du skall även ta fram de **hasardfria uttrycken** för nästa tillstånd samt ett uttryck för **utgångsvärdet**, och rita **grindnäten** med valfria grindar.

Ledning: Man kan intuitivt komma fram till en lösning med fyra tillstånd.

*Lycka till!*



# Inlämningsblad för del A Blad 1

( tas loss och lämnas in tillsammans med lösningarna för del A2 och del B )

Efternamn: \_\_\_\_\_ Förnamn: \_\_\_\_\_

Personnummer: \_\_\_\_\_

**Skriv in dina svar för uppgifterna från del A1 ( 1 till 8 )**

Fråga	Svar
1	$f(x, y, z) = \{SoP\}_{\min} = ?$
2	<p>a)</p> $\begin{array}{cccc cc} x_3 & x_2 & x_1 & x_0 & 1 & 0 \\   &   &   &   &   &   \end{array}$ <p><math>s = 6 \times x =</math> <math>= 2 \times (2 \times x + 1 \times x)</math></p> <p>b) <math>s_{\max} = ?_2</math> (svara med ett binärtal)</p>
3	$\bar{y} = f(x_3, x_2, x_1, x_0) = \{SoP\}_{\min} = ?$
4	<p>a) <math>f(a, b, c) = ?</math></p> <p>b) <math>a \bar{a}, b \bar{b}, c \bar{c}</math></p>
5	$Y = f(A, B) = ?$
6	$q_1 q_0 \ 00,$
7	$Y = f(y, a, b) = ?$
8	a ... h ?

**Nedanstående del fylls i av examinatorn!**

Del A1	Del A2		Del B		Totalt	
Poäng	9	10	11	12	Summa	Betyg





KTH Informations- och kommunikationsteknik

# Written exam for IE1204/5 Digital Design Monday 27/10 2014 9.00-13.00

---

## General Information

Examiner: Ingo Sander.

Teacher: Elena Dubrova /William Sandqvist, tel 08-7904487

Exam text does not have to be returned when you hand in your writing.

Aids: No aids are allowed!

The exam consists of three parts with a total of 12 tasks, and a total of 30 points:

**Part A1 (Analysis)** contains eight short questions. Right answer will give you one point for six of the questions and one or two points for two of the questions. Incorrect answer will give you zero points. The total number of points in Part A1 is **10 points**. To **pass the Part A1 at least 6p are required, if you get fewer points we will not look at the rest of your exam.**

**Part A2 (Methods)** contains two methodology problems of a total of 10 points.

To **pass the exam** at least **11 points** from A1 + A2 are required, *if you get fewer points we will not look at the rest of your exam.*

**Part B (Design problems)** contains two design problems of a total of 10 points.

**NOTE !** At the last page of the exam there is a submission sheet for Part A1, which should be separated and submitted together with the solutions for A2 and B.

For a passing grade (E) at **least 11 points required on the exam.**

**Grades** are given as follows:

0 –	11 –	16 –	19 –	22 –	25
F	E	D	C	B	A

The result is expected to be announced before Monday 17/11 2014.

---



## Part A1: Analysis

Only answers are needed in Part A1. Write the answers on the submission sheet for Part A1, which can be found at the last page of the exam.

1. 1p/0p

A function  $f(x, y, z)$  is described by the equation:

$$f(x, y, z) = \overline{x}y + yz + x\overline{y}z + xy\overline{z}$$

Write the function in a minimal sum-of-products form!

$$f(x, y, z) = \{SoP\}_{\min} = ?$$

2. 2p/1p/0p

A four bit number  $x$  ( $x_3x_2x_1x_0$ ) is to be multiplied by the constant 6.

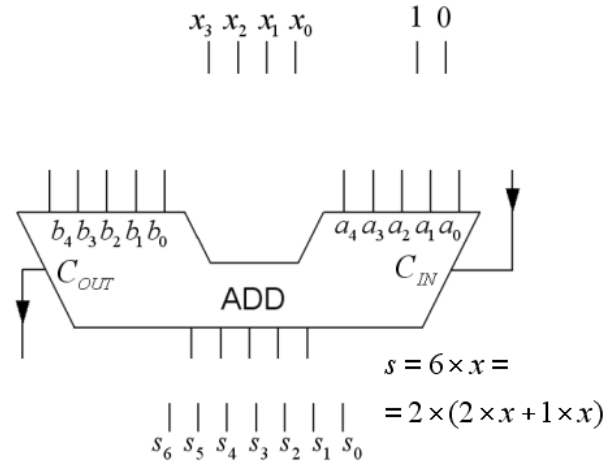
The number  $x$  is fed into a five bit adder which is configured for the operation  $6 \cdot x = 2 \cdot (2 \cdot x + 1 \cdot x)$ .

a) Draw how the adder has to be configured.

Except the four bits in  $x$ , constants with the values 0 and 1 are also available. You will find a copy of the figure on the submission sheet.

b) Which is the greatest binary number  $s$  ( $s_6s_5s_4s_3s_2s_1s_0$ ) that can appear on the output when the circuit is configured for this operation?

Answer with a binary number.



3. 1p/0p

A Karnaugh map for a function of four variables  $y = f(x_3, x_2, x_1, x_0)$  is given below.

Write the **inverted function** in a minimal sum of products, SoP, form.

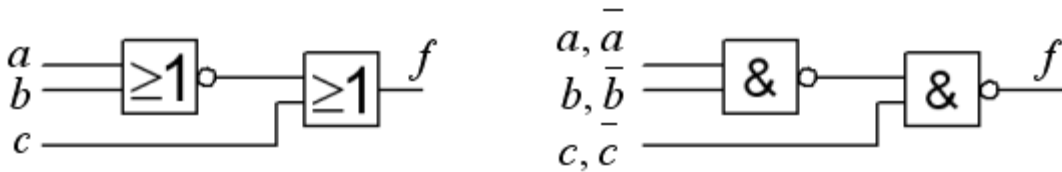
"-" in the map means "don't care". (NOTE that we are asking for the inverse of the function).

$x_3x_2$		$x_1x_0$				$y =$
		00	01	11	10	
00	0	1	3	2	0	
01	4	5	7	6	1	
11	12	13	15	14	1	
10	8	9	11	10	0	

$\overline{y}_{SoP\min} = ?$

4. 2p/1p/0p

The Figure below shows a kombinatorial circuit consisting of a NOR-gate and an OR-gate (to the left in the figure).

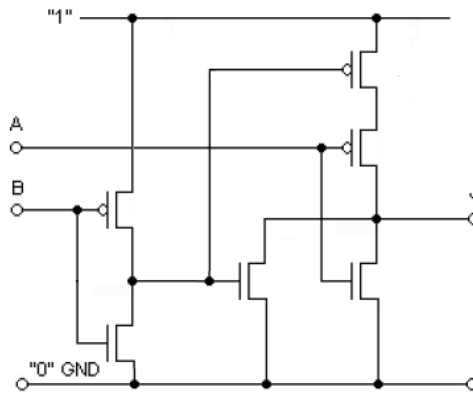


a) Write the logic function  $f = f(a,b,c)$  that is realized by the circuit.

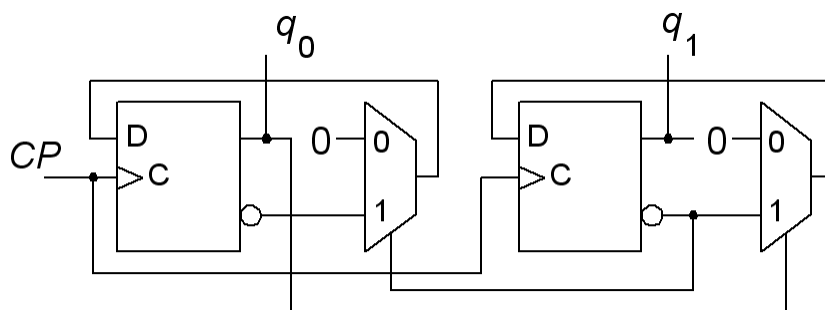
b) The same function can be realized by a NAND-NAND-circuit (to the right in the figure). Write if the variables  $a, b$  and  $c$  need to be inverted or not at the inputs of this circuits.

5. 1p/0p

Give an expression for the logic function realized by the CMOS circuit in the figure below?



6. 1p/0p

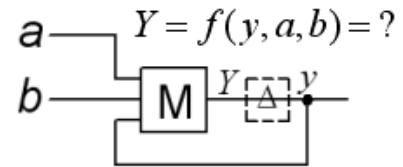


Sequential circuit shown above starts in the state  $q_1q_0 = 00$ . Analyze the circuit and give the sequence of its states for the following four clock pulses.

7. 1p/0p

This figure shows an asynchronous sequential circuit. The gate with the letter *M* is a majority gate – which means that the output takes the same value as the majority of its inputs. Analyze the circuit and write its characteristic function.

$$Y = f(y, a, b) = ?$$



8. 1p/0p

This VHDL-code describes a known circuit. Which one? Choose between:

- a. A half adder.
- b. A full adder.
- c. two XNOR-gates.
- d. A JK-flip-flop.
- e. A SR-latch.
- f. A 2×2 crossbar switch.
- g. A multiplication circuit.
- h. A division circuit.

```
ENTITY gismo IS
PORT ( c, b, a : IN STD_LOGIC ;
      x, y : OUT STD_LOGIC ) ;
END gismo ;

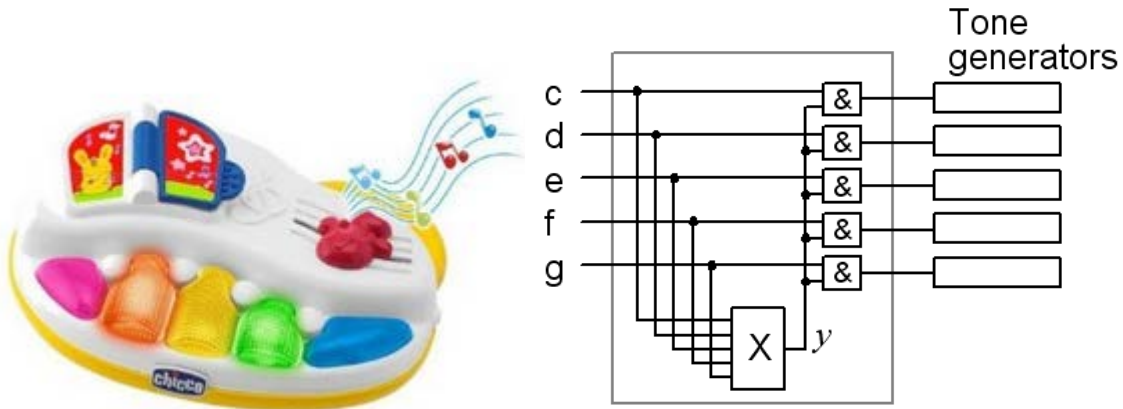
ARCHITECTURE beh OF gismo IS
BEGIN
  x <= c XOR b XOR a ;
  y <= (a AND b) OR (c AND a) OR (c AND b) ;
END beh ;
```

## Part A2: Methods

*Note! Part A2 will only be corrected if you have passed part A1 ( $\geq 6p$ ).*

9. 4p Toy instruments for young children can be very disturbing. You must therefore construct a "dissonance-lock" representing the block **X** in the figure. You should be able to press the keys one at a time, but if you press multiple keys simultaneously, a chord, then just (= the nice sounding) combinations of keys, c, e, and g should sound, other combinations should be quiet.

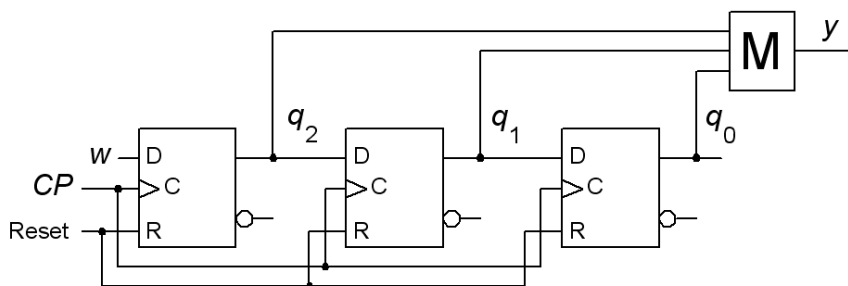
The sound should be produced only if (1) exactly one of the keys c, d, e, f, g, is pressed (2) any possible combination of keys c, e, g is pressed. All other combinations produce no sound.



- (1p) Set up the truth table  $y = f(c, d, e, f, g)$  or draw a Karnaugh map directly.  
Can you find a case where the value of  $y$  does not matter? If so, use it as a don't care (it will pay off).
- (1p) Minimize the function  $y$  and express it in a sum of products (SoP) form. Use don't cares.
- (1p) Invert the minimized function  $y$  from b) with the help of the de Morgan rules.
- (1p) You are restricted to use only four input NOR gates for realizing the function.  
(Hint! If one NOR gate is used as an inverter at the output of the circuit, then you can use the inverse function from c ).

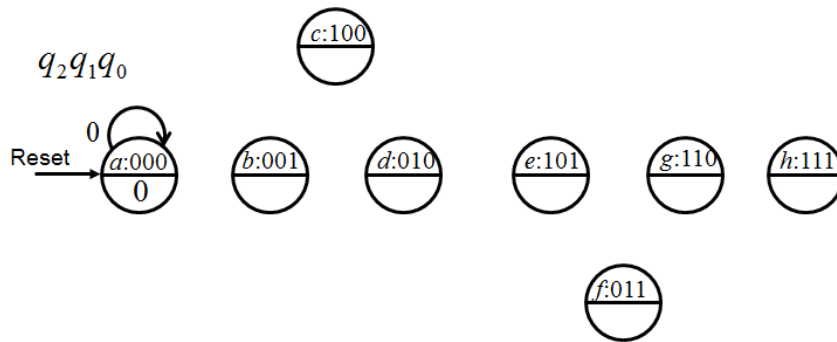
**Thank you for designing this circuit - many parents of young children will thank you!**

10. 6p A synchronous sequential circuit based on a shift register is used as a "Majority voter". The value of the input signal  $w$  that occurred most of the times in the past three clock pulses is displayed at the output  $y$ . The gate denoted by the "M" is a so-called majority gate, its output takes the same value as the majority of its inputs.





a) (2p) Analyze the shift register and draw **state diagram** and **state table**. (Please take the help of the initiated state diagram with eight states shown below, but draw your own figure to answer).



b) (3p) Alternatively, one can make a *similar* circuit in a different way as a Moore machine with four states (not exact the same behavior). Draw the **state diagram** and **state table** for such sequential circuit. Then write the expressions for the **next state** and **output function**. Use the state assignment

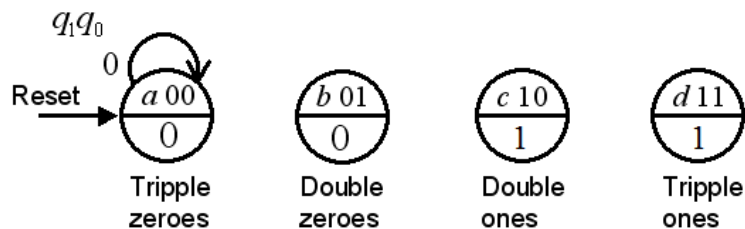
$q_1q_0$  00, 01, 10, 11.

Working Names of the states could be

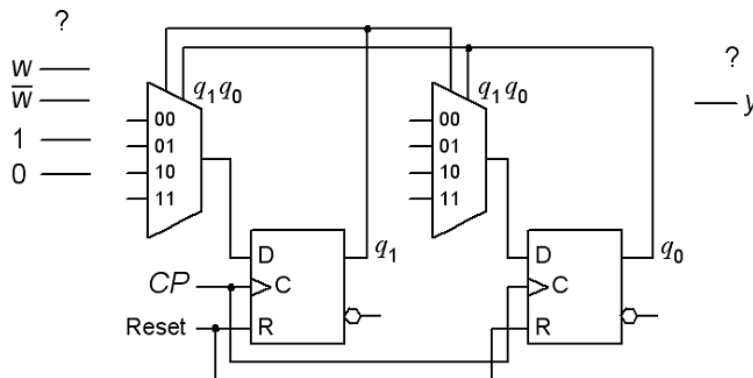
”Tripple zeroes” ”Double zeroes” ”Double ones” ”Tripple ones”.

(Take the help of the figure with the initiated state diagram, but draw your own figure to answer).

$$q_1^+ = f(q_1, q_0, w) \quad q_0^+ = f(q_1, q_0, w) \quad y = f(q_1, q_0)$$



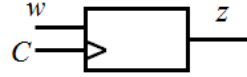
c) (1p) Realize the next state decoder for the circuit in b) with two 4:1 multiplexers. Assume that the signal  $w$  is available inverted (if needed). See the figure below, but draw your own figure to answer.



## Part B. Design Problems

Note! Part B will only be corrected if you have passed part A1+A2 ( $\geq 11p$ ).

### 11. 5p Sequence Detector.



You need to design a synchronous sequential circuit in the form of a positive edge-triggered Moore machine. The input signal  $w$  is synchronized with the clock pulses  $C$ . The output signal  $z$  should become 1 each time the value of the input signal  $w$  had not changed for two clock pulses. This change in the output value will appear at the clock pulse following the two pulses with the identical  $w$  values. See the example below for clarification.

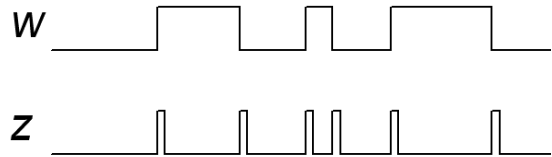
w: 001100011011100111111000010110 ...

z: 001010100100100101000001000001 ...

- (3p) Set up the circuit's **state table** and draw the **state diagram**.
- (2p) Use the binary code to encode the states and set up the **encoded state table**. Obtain the minimized expressions for the **next state** and the **output** functions. No schematic of the circuit needs to be drawn.

### 12. 5p Dual edge trigger.

Construct an asynchronous sequential circuit which at each change ( $0 \rightarrow 1$  or  $1 \rightarrow 0$ ) of the input signal  $w$  generates a short pulse at the output  $z$ . When the input signal is unchanged, the output should be  $z = 0$ . Output pulse length is given by the time for the transition state in the asynchronous sequential circuit. See timing diagram for clarification.



Your answer must include a **state diagram**, if necessary minimized, a **flow table**, and an appropriate **state assignment** with a **excitation table** that gives race-free networks. You must also develop the hazard-free expressions for the **next state** and an expression for the **output**, and draw the gate circuit. It's free to use any type of gates. Hint: One can intuitively arrive at a solution with four states.

*Good luck!*

# Submission sheet for Part A1 sheet 1

( remove and hand in together with your answers for part A2 and part B )

Last Name: \_\_\_\_\_ Given Name: \_\_\_\_\_

Personal code number: \_\_\_\_\_

**Write down your answers for the questions from Part A1 ( 1 to 8 )**

Question	Answer
<b>1</b>	$f(x, y, z) = \{SoP\}_{\min} = ?$
<b>2</b>	<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p><b>a)</b></p> <div style="text-align: center; margin-bottom: 10px;"> <math display="block">\begin{array}{cccc} x_3 &amp; x_2 &amp; x_1 &amp; x_0 \\   &amp;   &amp;   &amp;   \end{array}</math> </div> <div style="text-align: center; margin-top: 10px;"> <math display="block">\begin{array}{ccccccc}   &amp;   &amp;   &amp;   &amp;   &amp;   &amp;   \\ s_6 &amp; s_5 &amp; s_4 &amp; s_3 &amp; s_2 &amp; s_1 &amp; s_0 \end{array}</math> </div> </div> <div style="width: 45%;"> <p><b>b)</b> <math>s_{\max} = ?_2</math> (answer with a binary number)</p> </div> </div>
<b>3</b>	$\bar{y} = f(x_3, x_2, x_1, x_0) = \{SoP\}_{\min} = ?$
<b>4</b>	<p><b>a)</b> <math>f(a, b, c) = ?</math></p> <p><b>b)</b> <math>a \bar{a}, b \bar{b}, c \bar{c}</math></p>
<b>5</b>	$Y = f(A, B) = ?$
<b>6</b>	$q_1 q_0 \ 00,$
<b>7</b>	$Y = f(y, a, b) = ?$
<b>8</b>	a ... h ?

**This table is completed by the examiner!!**

Part A1	Part A2		Part B		Total	
Points	9	10	11	12	Sum	Grade