



KTH Informations- och kommunikationsteknik

Tentamen IE1204 Digital Design Måndag 15/1 2018 14.00-18.00

Allmän information (Ask for an English version of this exam if needed)

Examinator: Carl-Mikael Zetterling

Ansvarig lärare vid tentamen: Carl-Mikael Zetterling.

Tentamensuppgifterna **måste** återlämnas när du lämnar in din skrivning.

OBS! I slutet av tentamenshäftet finns ett inlämningsblad för del A1, som ska avskiljas för att lämnas in tillsammans med lösningarna för del A2 och del B.

Hjälpmedel: Inga hjälpmedel är tillåtna!

Tentamen består av tre delar med sammanlagt 14 uppgifter, och totalt 30 poäng:

Del A1 (Analys) innehåller tio korta uppgifter. Rätt besvarad uppgift ger en poäng.

Felaktig besvarad ger 0 poäng. Det totala antalet poäng i del A1 är **10 poäng**.

För **godkänt på del A1** krävs **minst 6 poäng**, är det färre poäng rättar vi inte vidare.

Del A2 (Konstruktionsmetodik) innehåller två metodikuppgifter om totalt **10 poäng**.

För att bli **godkänd på tentamen** krävs **minst 11 poäng** från A1+A2, är det färre poäng rättar vi inte vidare.

Del B (Designproblem) innehåller två friare designuppgifter om totalt **10 poäng**.

För ett godkänt betyg (**E**) krävs **minst 11 poäng på hela tentamen**.

Vid exakt 10 poäng från A1(6p)+A2(4p) erbjuds komplettering (FX) till godkänt.

Betyg ges enligt följande:

0 –	11 –	16 –	19 –	22 –	25 –
F	E	D	C	B	A

Resultatet meddelas före måndagen den 5/2, 2018.

Del A1: Analysuppgifter

Endast svar krävs på uppgifterna i del A1. Lämna svaren på inlämningsbladet för del A1 som du hittar på sista sidan av tentahäftet.

1. 1p/0p

En funktion $f(x, y, z)$ är angiven som:

$$f(x, y, z) = (x + y + \bar{z})(x + \bar{y} + z)(\bar{x} + y + \bar{z})$$

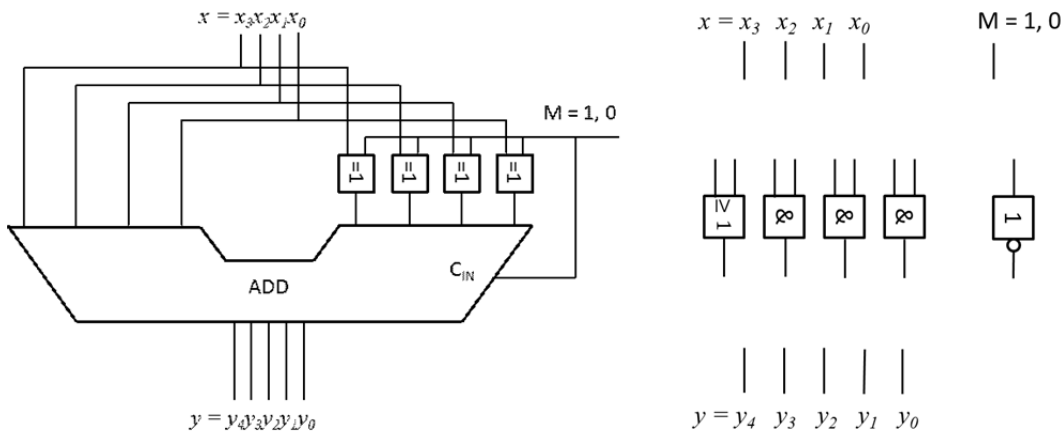
Anges funktionen som en summa av produkter (mintermer).

$$f(x, y, z) = \{SoP_{\text{minterms}}\} = ?$$

2. 1p/0p

Följande krets bestående av en 4-bitars adderare och 4 XOR-grindar kan ersättas med 3 OCH-grindar, 1 ELLER-grind och 1 inverterare. Koppla ihop signalerna och grindarna.

Konstanterna 1 och 0 får också användas vid behov.



3. 1p/0p

Två stycken 16-bits heltal i 2-komplementsrepresentation skrivs hexadecimalt som $x = 0ABC_{16}$ och $y = 0BCD_{16}$. Vad blir resultatet av subtraktionen $s = x - y$?

Svaret ska anges hexadecimalt, och ska vara ett 16-bits heltal i 2-komplementsrepresentation.

4. 1p/0p

Ett Karnaughdiagram för en funktion av fem variabler $Y = f(x_4, x_3, x_2, x_1, x_0)$ ges nedan.

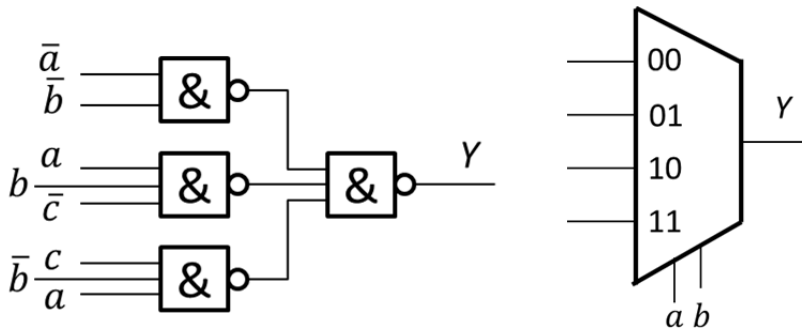
Anges den minimerade funktionen Y_{min} som en summa av produkter, på **SoP** form.

”-” i diagramet står för ”don’t care”.

		$x_4 = 0$				$x_4 = 1$			
		x_1x_0		x_1x_0		x_1x_0		x_1x_0	
x_3x_2	00	0	1	3	2	0	1	3	2
	00	1	1	1	1	1	1	1	1
01	4	5	7	6	0	0	-	0	
11	12	13	15	14	-	1	-	-	
10	8	9	11	10	1	-	1	1	

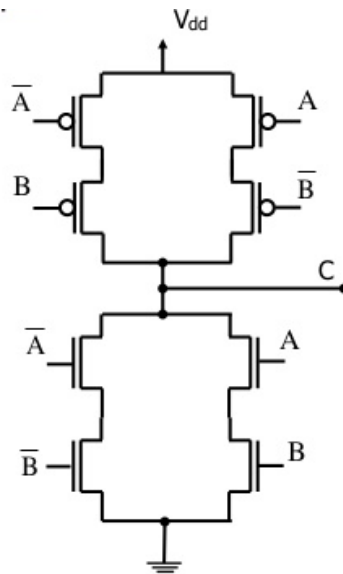
5. 1p/0p

En funktion $Y = f(a,b,c)$ har byggts med fyra NAND-grindar. Konstruera samma funktion med en MUX istället. Du får koppla följande signaler till ingångarna på MUX: $c, \bar{c}, 0, 1$



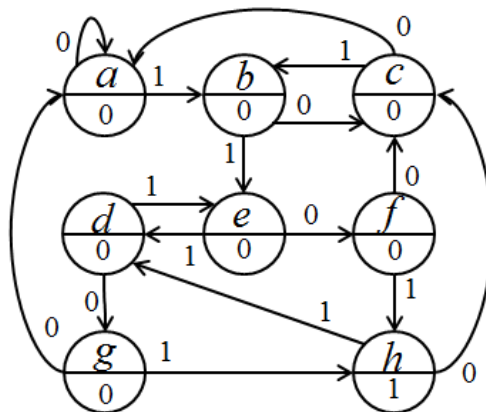
6. 1p/0p

Vilken funktion realiserar CMOS-grinden? $C(A,B) = ?$



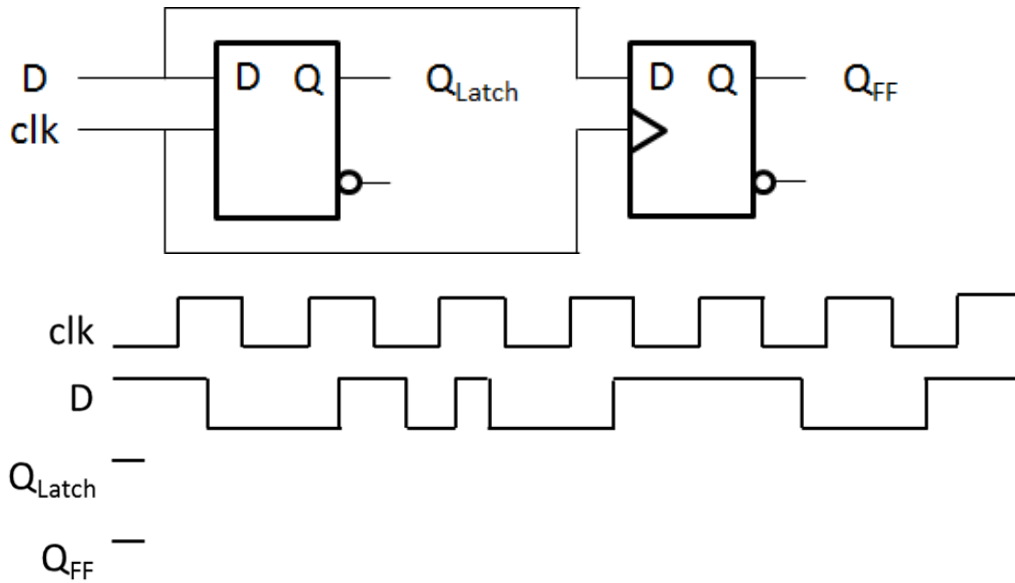
7. 1p/0p

En tillståndsmaskin av MOORE-typ får följande insekvens: 000010101101. Starttillståndet spelar ingen roll, men du kan anta tillstånd "a". Vilket är det slutliga tillståndet efter denna insekvens?



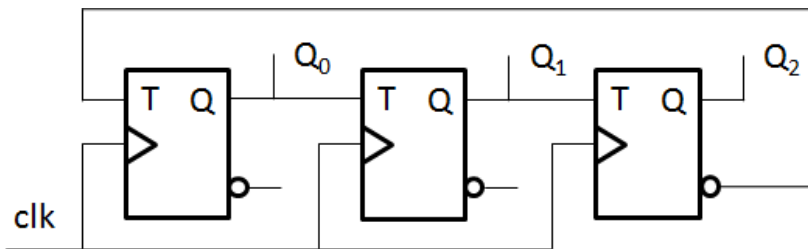
8. 1p/0p

En D-latch och en D-vippa startar med $Q = 1$. Signalerna clk och D är kopplade till ingångarna. Rita färdigt tidsdiagrammet för utsignalen Q_{Latch} och Q_{FF} . Svara i figuren på svarsblanketten.



9. 1p/0p

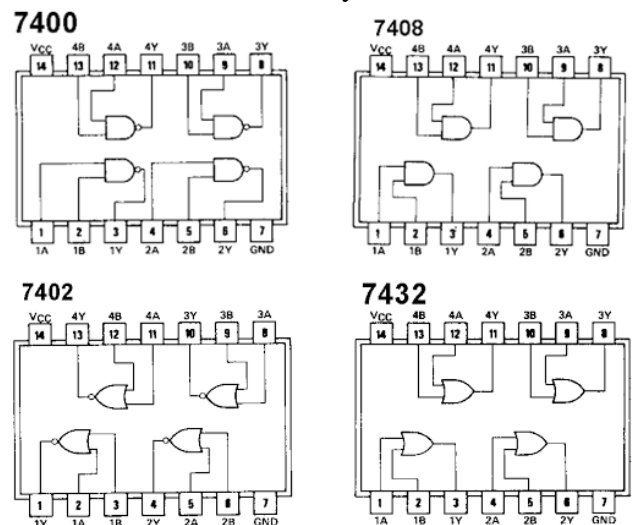
En trebitsräknare är byggd med T-vippor enligt nedan. Rita tillståndsdigrammet för alla möjliga tillstånd. Svara på svarsblanketten.



10. 1p/0p

VHDL koden nedan beskriver en standard TTL grindkombination. Vilken av de fyra?

```
architecture behavior of chip is
begin
d5(1) <= not((d1(1) or d1(2)));
d5(2) <= not((d2(1) or d2(2)));
d5(3) <= not((d3(1) or d3(2)));
d5(4) <= not((d4(1) or d4(2)));
end behavior;
```

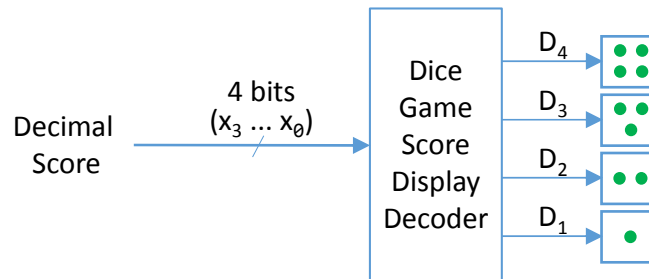


Del A2: Konstruktionsmetodik

Observera! Del A2 rättas endast om Du är godkänd på del A1

11. 5p

Ett tärningsspel har en ovanlig resultatvisning. Det högsta resultatet en spelare kan få är 10 och det lägsta resultatet är 0. Spelet använder en display med fyra tärningssidor, och lyser upp en eller flera tärningssidor enligt nedan.



Resultatenheten skickar resultatet som ett 4-bitars binärt tal. Omvandlaren ”Dice Game Score Display Decoder” avkodar 4-bitars binäretal till de fyra utgångarna D₄ till D₁. Varje utgång är kopplad till en tärningssida som tänds, som visas i bilden ovan. Avkodaren har följande egenskaper:

1. Om resultatet är 0 ska ingen tärningssida lysas upp,
2. om resultatet är 10 ska alla tärningssidor lysas upp, och
3. om resultatet är i intervallet 1 till 9, ska tärningssidor lysas upp så att resultatet visas med så få tärningar som möjligt och med prioritet för de högsta tärningsvärdena.
4. Resultat i intervallet 11 till 15 ska utnyttjas som don't cares.

a) (1p) Rita sanningstabellen.

b) (2p) Ta fram minimala logiska uttryck för D₄, D₃, D₂ och D₁ med Karnaughdiagram och genom att utnyttja don't cares.

c) (2p) Konstruera och rita grindnätet med enbart 2-ingångars NAND-grindar.

12. 5p

Konstruera en 4-bitars synkronräknare som räknar igenom de udda primtalen.

När kontrollsignalen UP = 1 ska räknesekvensen vara 3, 5, 7, 11, 13, 3 etc

När kontrollsignalen UP = 0 ska räknesekvensen vara 3, 13, 11, 7, 5, 3 etc

Signalen UP kan ändras när som helst i sekvensen men är synkron med klockan.

Konstruera räknaren med D-vippor (som har asynkrona set- och reset-ingångar).

Ledning: eftersom alla tillåtna tal är udda, så är $q_0 = 1$, och bara q_3 , q_2 och q_1 behöver logiknät och vippor.

a) (1p) Rita en tillståndstabell för alla tillåtna tillstånd.

b) (2p) Använd Karnaughdiagram för att ta fram logiska uttryck för nästa tillstånd q_{3+} , q_{2+} and q_{1+} .

c) (1p) Rita ett tillståndsdiagram med alla tillstånden, inclusive de förbjudna 1, 9, och 15.

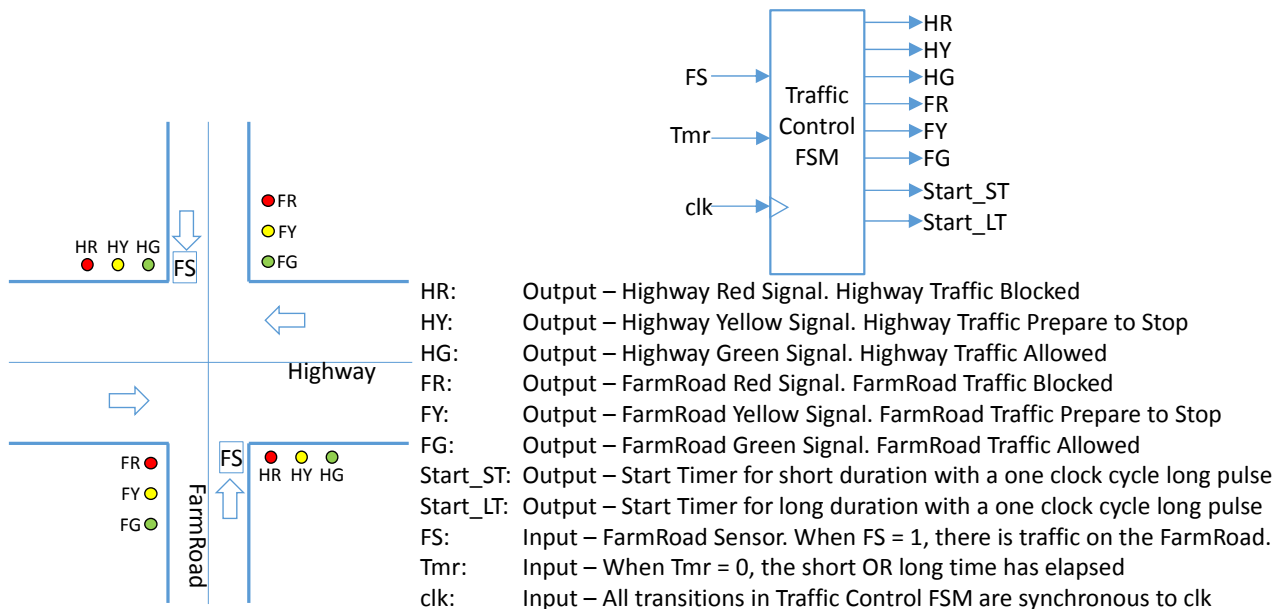
d) (1p) Konstruera asynkron set och resetlogik så att räknaren kan sättas i starttillståndet 3.

Del B. Designproblem

Observera! Del B rättas endast om Du har mer än 11p på del A1+A2.

13. (4p)

Ett sekvensnät (FSM) används för att styra trafikljusen vid en korsning mellan en huvudled (Highway) och en mindre väg (Farmroad). Båda vägar har trafikljus med röda, gula och gröna ljus. Bilden nedan visar de två vägarna och trafikljusen, och funktionen beskrivs i texten.



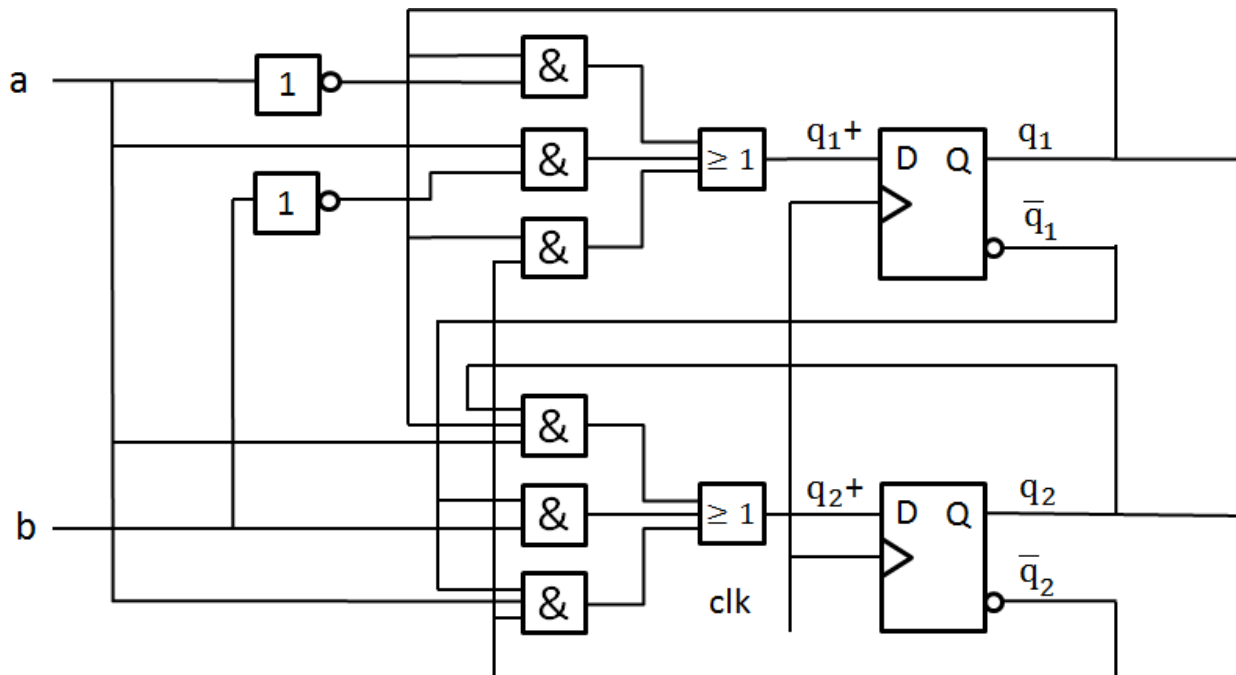
Konstruera en trafikkontrollenhet med sekvensnät enligt Mealy-modellen med följande regler:

- Ett trafikljus har tre lampor – röd, gul och grön. För varje väg och riktning finns det ett trafikljus som i bilden ovan.
 - Trafikljusens funktion är identisk i båda riktningar på huvudleden (Highway) och den mindre vägen (Farmroad).
 - Endast en lampa är tänd i taget i varje trafikljus.
 - För att ge huvudleden prioritet, så är normaltillståndet att det gröna ljuset HG är PÅ och den mindre vägen har rött ljus FR PÅ.
1. När huvudleden har prioritet, och sensorn på den mindre vägen FS blir 1, så ska trafikkontrollenheten sätta HG och FR till AV, och sätta HY och FY till PÅ, samt starta en korttidstimer genom att sätta Start_ST till 1.
 2. Efter en kort paus, indikerat av att insignalen Tmr = 0, ska trafikkontrollenheten sätta HY och FY till AV, sätta HR och FG till PÅ, samt starta den längre timern genom att sätta Start_LT till 1.
 3. Efter en lång paus, indikerat av att insignalen Tmr = 0, ska trafikkontrollenheten sätta HR och FG till AV, sätta HY och FY till PÅ, samt starta en korttidstimer genom att sätta Start_ST till 1.
 4. Efter en kort paus, indikerat av att insignalen Tmr = 0, ska trafikkontrollenheten sätta HY och FY till AV, sätta HG och FR till PÅ, samt starta den längre timern genom att sätta Start_LT till 1.
 5. Efter en lång paus, när Tmr = 0, ska trafikkontrollenheten vänta på att sensorn FS på den mindre vägen blir 1 igen. När den blir det, ska förloppet upprepas från 1 ovan.

Rita tillståndsdigram och tillståndstabell.

14. (6p)

Ett synkront sekvensnät har byggts med två ingångar a och b samt två D-vippor, se nedan.



a) (1p) Räkna ut maximalt tillåten klockfrekvens.

Antag att $t_{Setup} = 5$ ns, $t_{Hold} = 1$ ns, $t_{Gate} = 5$ ns, och $t_{Clk2Q} = 10$ ns.

I ett försök att öka reaktionssnabbheten på kretsen och minska antalet grunder, så byggdes det synkrona sekvensnätet om till ett asynkront sekvensnät genom att ta bort båda D-vipporna. För analysen nedan kan du tänka dig att du lägger in ett fördröjningsnät istället för varje D-vippa.

b) (2p) Det finns statisk hazard i minst en av tillståndsfunktionerna. Ta fram nya hazardfria nästa-tillståndsfunktioner för q_1^+ och q_2^+ . Excitationstabellen måste vara oförändrad.

Ledning: Skriv ner nästa tillståndsfunktionerna för q_1^+ och q_2^+ och rita Karnaughdiagram.

c) (2p) Det finns minst en kritisk kapplöpning i det asynkrona sekvensnätet. Räkna upp alla kombinationer av tillstånd och insignaler som ger upphov till kritisk kapplöpning.

Ledning: Rita excitationstabell och flödestabell för det asynkrona sekvensnätet och identifiera stabila tillstånd.

d) (1p) Föreslå en ny tillståndstilldelning som är fri från kritisk kapplöpning.

Lycka till!

Inlämningsblad för del A Blad 1

(ta loss och lämna in som blad 1 tillsammans med lösningarna för del A2 och del B)

Efternamn: _____ Förnamn: _____

Personnummer: _____ Blad: **1**

Skriv in dina svar för uppgifterna från del A1 (1 till 10)

Fråga	Svar
1	$f(x, y, z) = \{SoP_{\text{min terms}}\} = ?$
2	$x = \begin{matrix} x_3 & x_2 & x_1 & x_0 \\ & & & \end{matrix} \quad M = \begin{matrix} 1, 0 \\ \end{matrix}$ $y = \begin{matrix} y_4 & y_3 & y_2 & y_1 & y_0 \\ & & & & \end{matrix}$
3	(Tvåkomplementstal) $s_{16} = ?$
4	$F(A, B) = \{SoP\}_{\text{min}} = ?$
5	
6	$C(A, B) = ?$
7	Slutligt tillstånd = ?

Inlämningsblad för del A Blad 2

(ta loss och lämna in som blad 2 tillsammans med lösningarna för del A2 och del B)

Efternamn: _____ Förnamn: _____

Personnummer: _____ Blad: 2

8	<p>The diagram shows a clock signal (clk) with a period of approximately 10 units. The data input (D) starts at 0, then transitions to 1 at the first clock edge, then back to 0 at the second clock edge, then to 1 at the third clock edge, then to 0 at the fourth clock edge, then to 1 at the fifth clock edge, then to 0 at the sixth clock edge, then to 1 at the seventh clock edge, and finally to 0 at the eighth clock edge. The outputs QLatch and QFF are shown as horizontal lines at the bottom of the diagram, indicating they are currently not defined or in a high-impedance state.</p>
9	Tillståndsdigram:
10	Standard TTL-grind:

Nedanstående del fylls i av examinatorn!

Del A1 (10)	Del A2 (10)		Del B (10)		Totalt (30)	
Poäng	11	12	13	14	Summa	Betyg