



Skriftlig Tentamen

IE1204 Digital Design

2018-10-22, kl 14:00-18:00

Examiner/Examinator: Carl-Mikael Zetterling (IE1204)

Responsible teacher/Ansvarig lärare: Carl-Mikael Zetterling 070-4915274

Swedish:

Tentamens texten ska lämnas in när lösningarna lämnas in. Inga tillåtna hjälpmedel utom linjal.

Examen består av fyra delar med 3 – 5 uppgifter och 10 poäng per del, och totalt 40 poäng.

Uppgifterna är inte ordnade efter svårighetsgrad.

Del 1: From Zero to One (Chapter 1)

Del 2: Combinational Logic Design (Chapter 2)

Del 3: Sequential Logic Design (Chapter 3)

Del 4: Digital Building Blocks (Chapter 5)

X = 1 om studenten har minst 2 poäng per del

Y = 1 om studenten har minst 20 poäng totalt

P = 1 om studenter får godkänt på tentamen

Fx = 1 om studenten kan godkännas efter en extra uppgift

X	Y	P	Fx
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

För godkänt krävs **minst 2 poäng per del OCH 20 poäng totalt.**

Fx om (19 poäng OCH 2 poäng per del) ELLER (20 poäng och 2 poäng på 3 delar)

Betygskalan för tentamen. Resultat meddelas inom tre veckor.

0 – 19	20 – 23	24 – 27	28 – 31	32 – 35	36 – 40
F	E	D	C	B	A

Written Exam

IE1204 Digital Design

2018-10-22, kl 14:00-18:00

English:

Exam text has to be turned in when you hand in your solutions. No aids allowed except ruler.

The exam consists of four parts with 3 – 5 exercises and 10 points per part, for a total of 40 points.

The exercises are not in order of difficulty.

Part 1: From Zero to One (Chapter 1)

Part 2: Combinational Logic Design (Chapter 2)

Part 3: Sequential Logic Design (Chapter 3)

Part 4: Digital Building Blocks (Chapter 5)

X = 1 if student has at least 2 points from each module

Y = 1 if student has at least 20 points in total

P = 1 if student passes exam

Fx = 1 if a student can pass after an extra task

X	Y	P	F _x
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

To pass the exam requires **at least 2 points from each module AND 20 points in total.**

F_x if (19 points AND 2 points per module) OR (20 points AND 2 points from 3 modules)

Grades are given as follows and the result will be announced within three weeks.

0 – 19	20 – 23	24 – 27	28 – 31	32 – 35	36 – 40
F	E	D	C	B	A

Del 1 / Part 1

1. **Swedish:** Antag 8-bitars 2 komplements binära tal:

$$X = 10010110$$

$$Y = 11100001$$

(a) Beräkna $Z = X + Y$ och svara om resultatet ger "overflow" i ett 8-bitars resultat. (2 p)

(b) Beräkna $W = X \times Y$ och skriv 16-bitars resultatet antingen binärt eller hexadecimalt. (2 p)

English: Assume 8-bit 2's-complement binary numbers:

$$X = 10010110$$

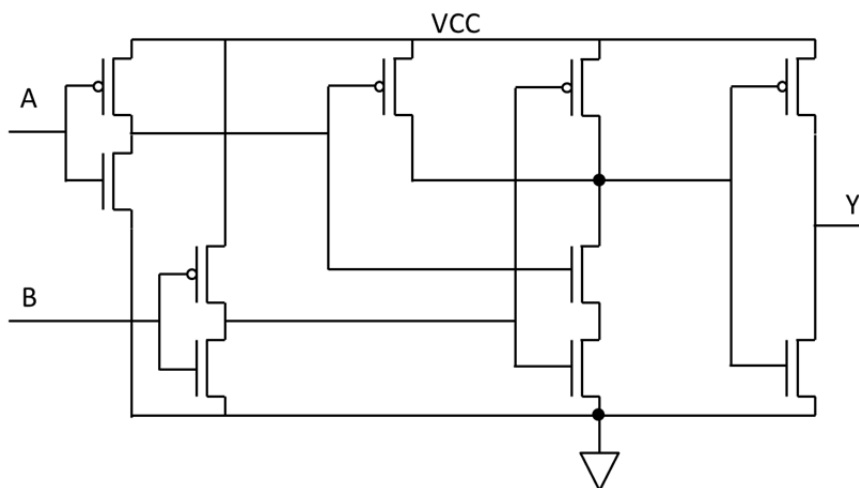
$$Y = 11100001$$

(a) Calculate $Z = X + Y$ and indicate whether or not the sum overflows an 8-bit result. (2 p)

(b) Calculate $W = X \times Y$ and express the 16-bit result in either binary or hexadecimal. (2 p)

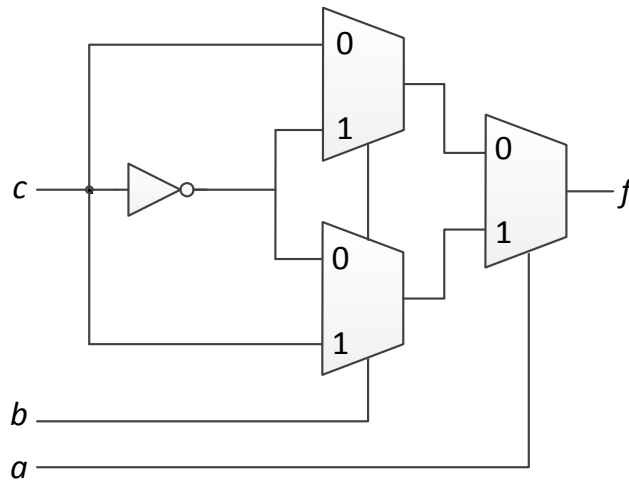
2. **Swedish:** Rita sanningstabellen för följande CMOS-krets. (2 p)

English: Draw the Truth table for the following CMOS circuit. (2 p)



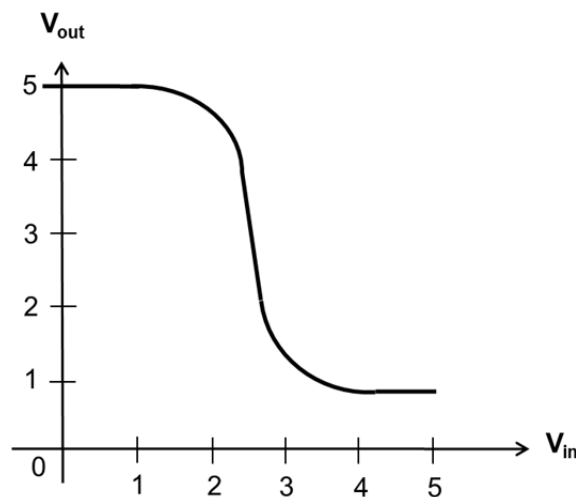
3. **Swedish:** Rita sanningstabellen för följande multiplexerkrets. (2 p)

English: Draw the Truth table for the following multiplexer-based circuit. (2 p)



4. **Swedish:** Är det möjligt att bestämma logiknivåer så att en krets med överföringskaraktistiken i figuren fungerar som en inverterare? Om ja, vad ska insignalens och utsignalens låga och höga nivåer vara (V_{IL} , V_{OL} , V_{IH} , och V_{OH}) och vad blir då brusmarginalerna (noise margins) (NML och NMH)? Om inte, förklara varför. (2 p)

English: Is it possible to assign logic levels so that a device with the transfer characteristics shown in the figure would serve as an inverter? If so, what are the input and output low and high levels (V_{IL} , V_{OL} , V_{IH} , and V_{OH}) and noise margins (NML and NMH)? If not, explain why not. (2 p)



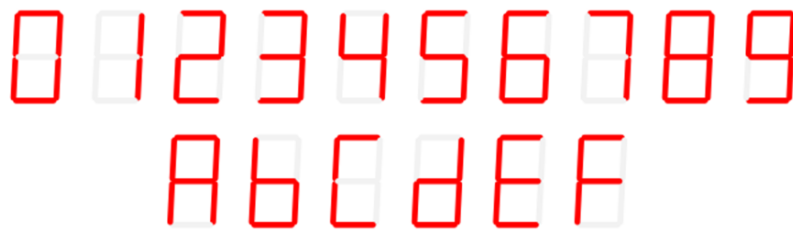
Del 2 / Part 2

5. **Swedish:** Konstruera en avkodare som kodar varje 4-bitars ($q_3q_2q_1q_0$) hexadecimal siffra i figuren till rätt signaler som kontrollerar lysdioderna i en 7-segments display. Notera att för att en lysdiod ska vara tänd ska motsvarande katodanslutning (cathode connection) ha en logisk "0", se exemplet på sanningstabell.

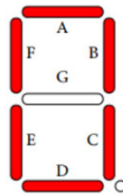
- (a) Rita hela 16 x 7 sanningstabellen för den hexadecimala till 7-segmentsavkodaren. (1 p)
 (b) Gör K-maps för segmenten E och G och ta fram minimala Boolska uttryck. (2 p)
 Använd insignalsordningen som den visas i K-map nedan. Rita dina K-maps i din lösning.
 (c) Konstruera och rita kretsen för segment E med enbart NAND-grindar. (1 p)
 (d) Konstruera och rita kretsen för segment G med en 4 till 1 multiplexer och valfria grindar. (1 p)

English: Design a decoder that maps each 4-bit ($q_3q_2q_1q_0$) hexadecimal digit shown in the figure into appropriate pins which controls the LEDs of seven-segment display. Note that in order to turn the LED on, the corresponding cathode connection should be a logic "0", see example Truth table.

- (a) Draw the complete 16 x 7 Truth table for the hexadecimal to seven-segment decoder. (1 p)
 (b) Make K-maps for segments E and G and extract their minimized Boolean expressions. (2 p)
 Use the input orders shown in the K-map. Redraw the K-map in the answer sheet.
 (c) Design and draw the circuit for segment E using only NAND gates. (1 p)
 (d) Design and draw the circuit for segment G using a 4 to 1 multiplexer and any gates. (1 p)



Digits shown	Cathode signals						
	A	B	C	D	E	F	G
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
F	0	1	1	1	0	0	0



q_1q_0	q_3q_2			
	00	01	11	10
00				
01				
11				
10				

6. **Swedish:** För följande function:

$$f(a, b, c, d) = (\bar{a} + \bar{c} + \bar{d})(\bar{b} + \bar{c} + d)(a + \bar{b} + \bar{c})$$

- (a) Ta fram ett minimerat uttryck på "Product-of-Sum"-form. (1 p)
 (b) Konstruera och rita kretsen för det minimerade uttrycket med enbart NOR-grindar. (1 p)

English: Given the following function:

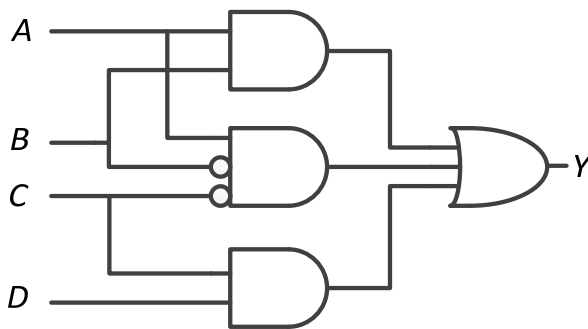
$$f(a, b, c, d) = (\bar{a} + \bar{c} + \bar{d})(\bar{b} + \bar{c} + d)(a + \bar{b} + \bar{c})$$

- (a) Derive the minimized Product-of-Sum expression. (1 p)
 (b) Design and draw the circuit for the minimized expression using only NOR gates. (1 p)

7. **Swedish:** Följande krets har potentiella "glitchar" när en av ingångarna ändras.
- (a) Gör en K-map för att förklara varför "glitchar" kan förekomma. (1 p)
Använd insignalsordningen som den visas i K-map nedan. Rita dina K-maps i din lösning.
 - (b) Modifiera det Boolska uttrycket och K-map för att undvika "glitches". (1 p)
 - (c) Rita den modifierade kretsen. (1 p)

English: The following circuit has potential glitches when one of the inputs changes.

- (a) Make a K-map to explain why glitches can occur. (1 p)
Use the input orders shown in the K-map. Redraw the K-map in the answer sheet.
- (b) Modify the Boolean expression and K-map to avoid glitches. (1 p)
- (c) Draw the modified circuit. (1 p)

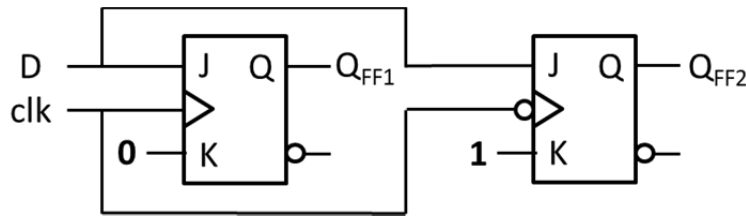


		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

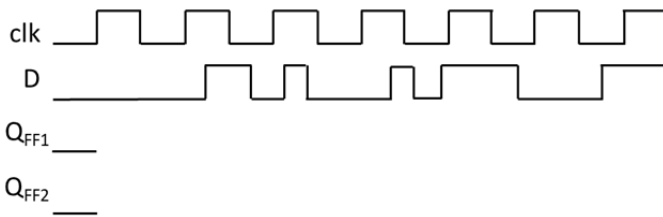
Del 3 / Part 3

8. **Swedish:** Rita tidsdiagrammet för kretsen. (2 p)

English: Draw the timing diagram for the circuit. (2 p)



J	K	Q(t+1)	
0	0	Q(t)	No Change
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Complement



9. **Swedish:** Konstruera en FSM med följande egenskaper:

Om insignalen $A = 1$ ska den stega mellan tillstånden $q_2q_1q_0 = 001, 010, 011, 100, 101, 110$ i ordningsföljd. Sedan ska sekvensen upprepas.

Om insignalen $A = 0$ ska den stanna i det nuvarande/senaste tillståndet.

(a) Rita tillståndsdigrammet och tillståndstabellen. (1 p)

(b) Gör K-maps för att ta fram uttrycken för nästa tillstånd.

Använd 000 och 111 som "don't cares". (2 p)

(c) Rita tillståndsdigrammet där tillstånden 000 och 111 finns med. (1 p)

English: Design an FSM with the following behavior:

If the input $A = 1$, it should step between the states $q_2q_1q_0 = 001, 010, 011, 100, 101, 110$ in sequence. Then the sequence repeats.

If the input $A = 0$, it should remain in the current/present state.

(a) Draw the state diagram and state table. (1 p)

(b) Make K-maps to calculate the next state expressions. Use 000 and 111 as don't cares. (2 p)

(c) Draw the state diagram with the states 000 and 111 included. (1 p)

10. **Swedish:** Figuren visar en synkron sekvenskrets. Antag att start-tillståndet är ($q_3q_2q_1q_0 = 0000$).

- (a) Beräkna minimitiden T [ns] mellan klockpulser för säker operation. (1 p)
- (b) Uppfylls villkoret för "hold time" i kretsen? Förklara din lösning. (1 p)
- (c) Ta fram Boolska uttryck för nästa tillstånd. (1 p)
- (d) Rita tillståndsdigrammet. (1 p)

Grindar: $t_{pdAND} = 3$ ns, $t_{pdXOR} = 4$ ns, $t_{cdAND} = 2$ ns, $t_{cdXOR} = 2$ ns

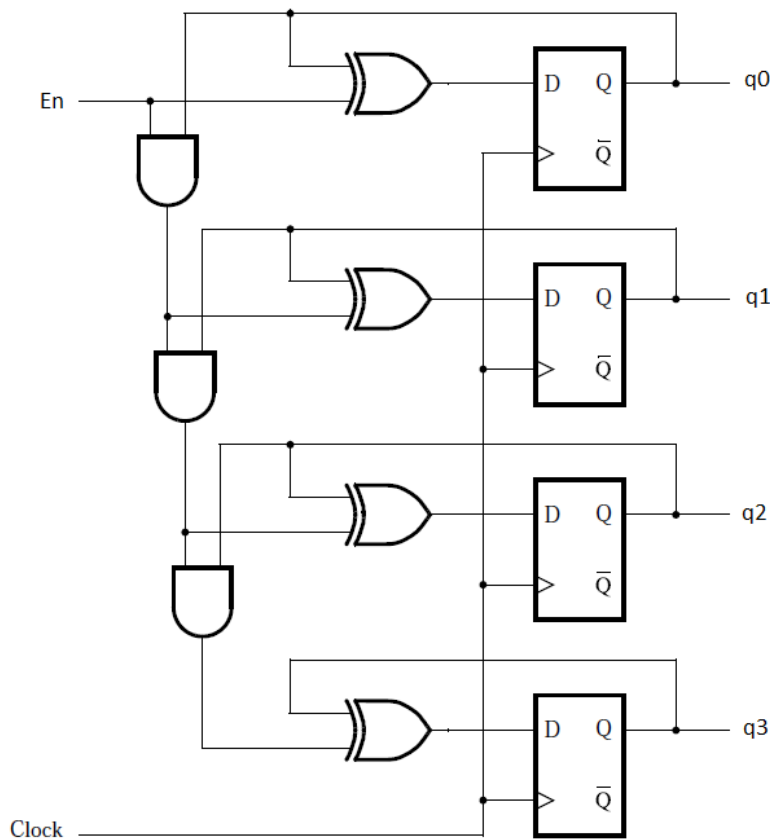
Vippor: $t_{setup} = 3$ ns, $t_{hold} = 2$ ns, $t_{pcq} = 2$ ns, $t_{ccq} = 1$ ns

English: The figure shows a synchronous sequential circuit. Assume the initialized state is ($q_3q_2q_1q_0 = 0000$).

- (a) Calculate the minimum time T [ns] between the clock pulses that provides safe operation. (1 p)
- (b) Is hold time constraint met in the circuit? Explain your solution. (1 p)
- (c) Derive the Boolean expressions for the next states. (1 p)
- (d) Draw the state diagram. (1 p)

Gates: $t_{pdAND} = 3$ ns, $t_{pdXOR} = 4$ ns, $t_{cdAND} = 2$ ns, $t_{cdXOR} = 2$ ns

Flip-flops: $t_{setup} = 3$ ns, $t_{hold} = 2$ ns, $t_{pcq} = 2$ ns, $t_{ccq} = 1$ ns



Del 4 / Part 4

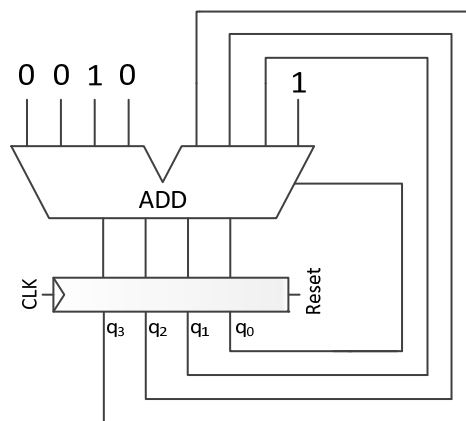
11. **Swedish:** Beskriv skillnader och likheter mellan SRAM och DRAM minneskretsar. (2 p)

English: Describe the differences and similarities between SRAM and DRAM memories. (2 p)

12. **Swedish:** En räknare består av en 4-bitars adderare och fyra D-vippor. Vipporna klockas samtidigt. Räknaren startar med att alla vippor är vid noll $q_3q_2q_1q_0 = 0000$. Vad blir sekvensen för de följande fyra klockulserna? (2 p)

English: A counter consists of a 4-bit adder and four D flip-flops. The flip-flops are clocked simultaneously. The counter starts with all the flip-flops at zero $q_3q_2q_1q_0 = 0000$. What will be the sequence for the following four clock pulses? (2 p)

$q_3q_2q_1q_0 = 0000 \rightarrow \dots \rightarrow \dots \rightarrow \dots \rightarrow \dots$



13. **Swedish:** Kretsen 74LS181 är en 4-bitars ALU med "carry-look-ahead". Kretsschemat visas på nästa sida.

(a) Identifiera den längsta kritiska vägen (vilken ingång/utgång och hur många grindar). (1 p)

(b) Hur många transistorer består 74LS181 av? (1 p)

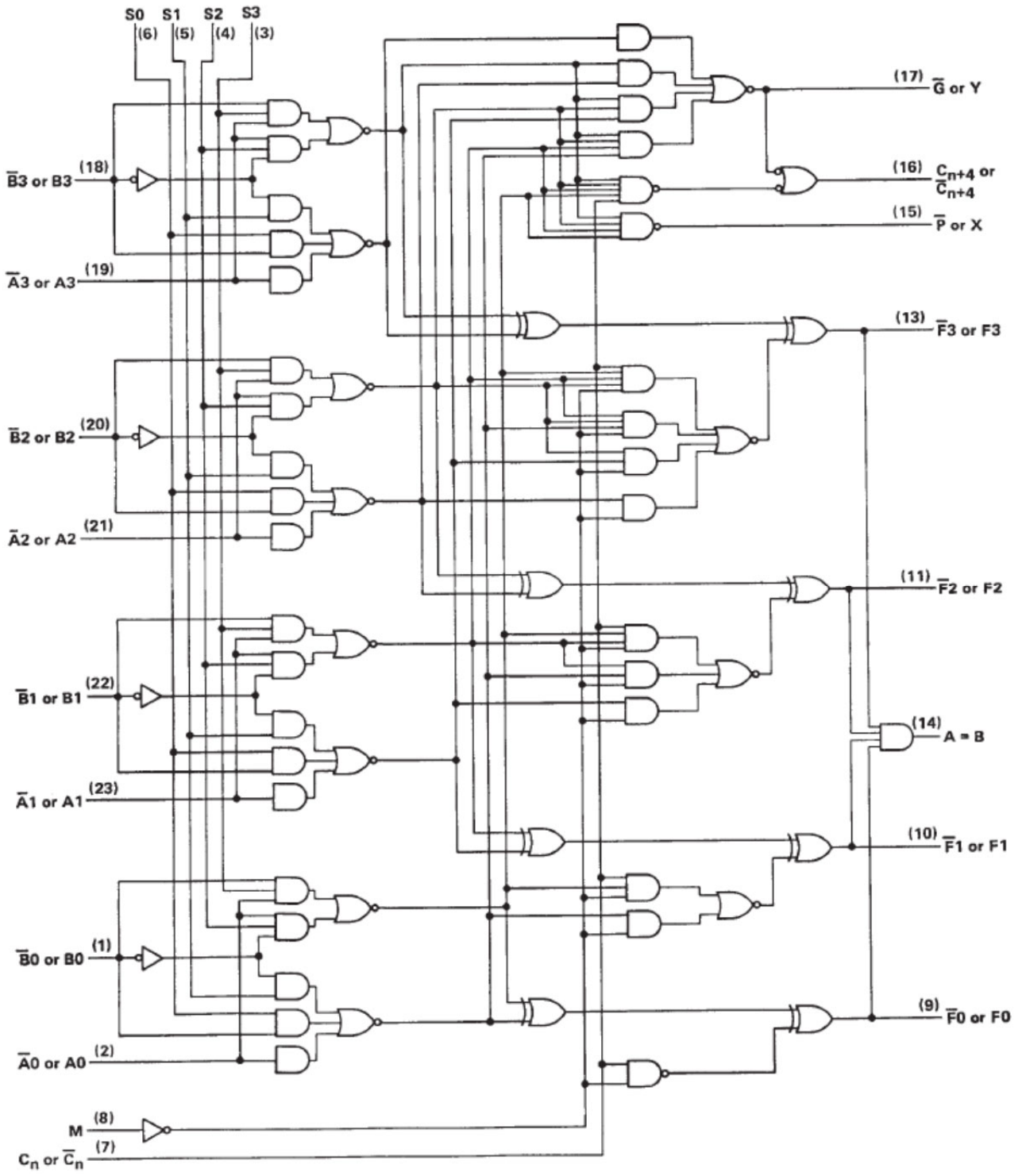
Antag att antalet transistorer per grind är: NOT: 2, NAND/NOR: 4, AND/OR: 6, XOR: 8, och lägg till 2 transistorer för varje extra ingång. Förklara eventuella antaganden.

English: The 74LS181 is a 4-bit ALU with carry-look-ahead. The circuit diagram is pictured in the next page.

(a) Identify the longest critical path (which input/output and the number of gates). (1 p)

(b) How many transistors is the 74LS181 made of? (1 p)

Assume the number of transistors per gate as NOT: 2, NAND/NOR: 4, AND/OR: 6, XOR: 8, and add 2 transistors per extra input. Explain your assumptions if needed.



14. **Swedish:** Konstruera en ALU som kan utföra operationerna listade i tabellen. Du får använda Multiplexers, Adderare, och valfria logiska grindar. (2 p)

English: Design an ALU to perform the operations, listed in the table. You may use Multiplexers, Adders, and any logic gates. (2 p)

Select	Operation
00	A NAND B
01	NOT B
10	A ADD B
11	A SUB B

15. **Swedish:** Konstruera en “Signed Comparison Unit” som jämför två tal A och B med tecken. Enhetens ingångar ska vara flaggsignalerna från ALU (negative (N), zero (Z), och overflow (V)). Enhetens utgångar ska vara GE ($A \geq B$), LE ($A \leq B$), GT ($A > B$), och LT ($A < B$).

ALUn gör subtraktionen: $A - B$.

(a) Ta fram minimala uttryck för GE, LE, GT, och LT som funktion av N, Z, och V. (1 p)

(b) Rita kretsarna för GE, LE, GT, och LT. (1 p)

English: Build a Signed Comparison Unit that compares two signed numbers A and B.

The unit’s inputs are the ALU Flag signals (negative (N), zero (Z), and overflow (V)).

The unit’s outputs are GE ($A \geq B$), LE ($A \leq B$), GT ($A > B$), and LT ($A < B$).

The ALU performs subtraction: $A - B$.

(a) Write minimal equations for GE, LE, GT, and LT in terms of N, Z, and V. (1 p)

(b) Draw circuits for GE, LE, GT, and LT. (1 p)

