



IL2225 Hårdvarukonstruktion i ASIC och FPGA för inbyggda system 7,5 hp

Embedded Hardware Design in ASIC and FPGA

När kurs inte längre ges har student möjlighet att examineras under ytterligare två läsår.

Fastställande

Kursplanen gäller från och med HT 2024 enligt grundutbildningsansvarigs beslut J-2024-0636. Beslutsdatum: 2024-04-15

Betygsskala

A, B, C, D, E, FX, F

Utbildningsnivå

Avancerad nivå

Huvudområden

Elektroteknik

Särskild behörighet

Kunskaper i elkretsanalys, 6 hp, motsvarande slutförd kurs EI1110/EI1120/IE1206.

Kunskaper i digital design, 6 hp, motsvarande slutförd kurs IE1205.

Kunskaper i digital design och validering med hårdvarubeskrivande språk, inklusive erfarenhet av HDL-simulatorer som ModelSim eller Xcelium, 6 hp, motsvarande slutförd kurs IL2203.

Undervisningsspråk

Undervisningsspråk anges i kurstillfällesinformationen i kurs- och programkatalogen.

Lärandemål

Efter godkänd kurs ska studenten kunna

- redogöra för begreppen för abstraktion, domäner, syntes och analys samt klassificera syntesverktyg
- redogöra för implementationssätt som Full Customs, Std Cells, Mask Programmable Gate Arrays och FPGA samt jämföra dessa
- använda kodstilar för logik/FSM och HCD-algoritmer för effektiv implementation och återanvändning
- redogöra för det arkitektoniska designutrymmet för logik/FSM och innebörden av HDL-koden
- optimera area, prestanda och effekt med avseende på logik/FSM på algoritmisk nivå
- redogöra för begränsningarna för teknik och optimering, deras konsekvenser och användning i logik/FSM
- redogöra för biblioteken som används vid logiksyntes
- beräkna och analysera utförande och effekt för logik/FSM på algoritmisk nivå
- redogöra för metoder för logiksyntes och place-and-route.

Kursinnehåll

- Viktiga koncept för logik/FSM och algoritmimplementation vid användning av automatiserade designflöden.
- Användning av HDL-kodstilar för effektivitet, simulering, timing, klockdistribution och beräkning av överbelastning.
- Begränsningar för teknik och optimering, gränssnitt till tillverkning och slutgiltigt fysikaliskt syntesflöde.
- Konstruktionsoptimering med avseende på area, prestanda och effekt i logik/FSM.
- Statisk timinganalys.
- Koncept för högnivåsyntes och designflöde.
- Syntes för schemaläggning, allokering, bindning, lagring, sammankoppling och kontrollersyntes.
- Acceleratorer i hårdvara.

Examination

- PROA - Projektarbete, 4,5 hp, betygsskala: A, B, C, D, E, FX, F
- TENH - Muntlig tentamen, - hp, betygsskala: A, B, C, D, E, FX, F
- TENQ - Quiz, 3,0 hp, betygsskala: P, F

Examinator beslutar, baserat på rekommendation från KTH:s handläggare av stöd till studenter med funktionsnedsättning, om eventuell anpassad examination för studenter med dokumenterad, varaktig funktionsnedsättning.

Examinator får medge annan examinationsform vid omexamination av enstaka studenter.

TENQ och PROA kan högst ge slutbetyg C. TENH är en frivillig muntlig examination för högre slutbetyg.

Övergångsbestämmelser

Studenter som påbörjat kursen med modulerna TEN1 och LAB1 har möjlighet att examineras på dessa för att kunna slutföra kursen till och med 2025-06-10.

Modulen HEMA har ersatts av TENQ och modulen TENA har ersatts av TENH.

Etiskt förhållningssätt

- Vid grupparbete har alla i gruppen ansvar för gruppens arbete.
- Vid examination ska varje student ärligt redovisa hjälp som erhållits och källor som använts.
- Vid muntlig examination ska varje student kunna redogöra för hela uppgiften och hela lösningen.